

Express Mail Label No.

Dated: _____

Docket No.: 09856/0200497-US0
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of: Hiroshi Suzuki

Application No.: Not Yet Assigned

Confirmation No.:

Filed: Concurrently Herewith

Art Unit: N/A

For: BOOSTER CIRCUIT AND METHOD FOR
CONTROLLING THE SAME

Examiner: Not Yet Assigned

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

MS Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	2003-112981	April 17, 2003

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: February 27, 2004

Respectfully submitted,

[Signature]
By MARIE GILFILLAN
fr Joseph R. Robinson 44085
Registration No.: 33,448
DARBY & DARBY P.C.
P.O. Box 5257
New York, New York 10150-5257
(212) 527-7700
(212) 753-6237 (Fax)
Attorneys/Agents For Applicant

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 4月17日
Date of Application:

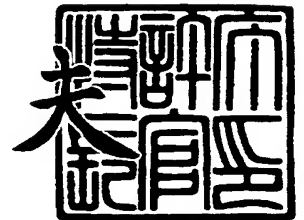
出願番号 特願2003-112981
Application Number:
[ST. 10/C]: [JP 2003-112981]

出願人 豊田工機株式会社
Applicant(s):

2004年 1月28日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2004-3003605

【書類名】 特許願

【整理番号】 PY20030375

【提出日】 平成15年 4月17日

【あて先】 特許庁長官殿

【国際特許分類】 H02M 3/155

【発明者】

【住所又は居所】 愛知県刈谷市朝日町 1 丁目 1 番地 豊田工機株式会社内

【氏名】 鈴木 浩

【特許出願人】

【識別番号】 000003470

【氏名又は名称】 豊田工機株式会社

【代理人】

【識別番号】 100068755

【弁理士】

【氏名又は名称】 恩田 博宣

【選任した代理人】

【識別番号】 100105957

【弁理士】

【氏名又は名称】 恩田 誠

【手数料の表示】

【予納台帳番号】 002956

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9720003

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 昇圧回路及び昇圧回路の制御方法

【特許請求の範囲】

【請求項 1】 スイッチング素子がオンのときにコイルにエネルギーを蓄え、オフのときにこのエネルギーを入力電圧に重畳して出力側に設けられたコンデンサを充電する昇圧回路において、

前記入力電圧と、前記コンデンサ側の実昇圧電圧を検出する検出手段と、

目標昇圧電圧を設定する目標昇圧電圧設定手段と、

前記目標昇圧電圧と、前記実昇圧電圧の偏差を解消するようにデューティ比を設定するデューティ比設定手段と、

前記入力電圧に基づいて得られる入力電圧変動量に応じた補正量を算出し、前記デューティ比を同補正量にて補正して、新たなデューティ比に基づき、前記スイッチング素子をオンオフ作動してフィードバック制御を行う制御手段を備えたことを特徴とする昇圧回路。

【請求項 2】 前記補正量は、

前記入力電圧に基づき算出した入力電圧変動量と前記目標昇圧電圧との比であることを特徴とする請求項 1 に記載の昇圧回路。

【請求項 3】 前記補正量は、

前記入力電圧に基づき算出した入力電圧変動量と前記実昇圧電圧との比であることを特徴とする請求項 1 に記載の昇圧回路。

【請求項 4】 スイッチング素子がオンのときにコイルにエネルギーを蓄え、オフのときにこのエネルギーを入力電圧に重畳して出力側に設けられたコンデンサを充電する昇圧回路の制御方法において、

前記入力電圧と、前記コンデンサ側の実昇圧電圧を検出し、

目標昇圧電圧と、前記実昇圧電圧の偏差を解消するようにデューティ比を設定し、

前記入力電圧に基づいて得られる入力電圧変動量に応じた補正量を算出し、

前記デューティ比を同補正量にて補正した新たなデューティ比に基づいて、前記スイッチング素子をオンオフ作動してフィードバック制御を行うことを特徴と

する昇圧回路の制御方法。

【請求項 5】 前記補正量は、

前記入力電圧に基づき算出した入力電圧変動量と前記目標昇圧電圧との比であることを特徴とする請求項 4 に記載の昇圧回路の制御方法。

【請求項 6】 前記補正量は、前記入力電圧に基づき算出した入力電圧変動量と前記実昇圧電圧との比であることを特徴とする請求項 4 に記載の昇圧回路の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、昇圧回路及び昇圧回路の制御方法に関する。

【0002】

【従来の技術】

従来から、図 5 に示すような、昇圧回路が知られている（特許文献 1 参照）。昇圧回路 300 はバッテリー B と電気負荷 F との間に設けられたコイル L とダイオード D の直列回路を備え、コイル L とダイオード D との間にコイル L に励磁電流を流したり、遮断したりするためのトランジスタ Q1（例えば、MOS-FET）を備えている。又、ダイオード D のカソード側はコンデンサ C を介して接地されている。又、昇圧回路 300 は、トランジスタ Q1 をオンオフ制御する昇圧制御部 400 を備えている。

【0003】

昇圧制御部 400 は、図示しない ROM、RAM、CPU（中央演算処理装置）等を備えた ECU（電子制御装置）から構成されている。なお、図 5 において、昇圧制御部 400 内のブロックは、前記 ROM 内に格納された昇圧制御プログラムにより、前記 CPU が実行する機能を示す制御ブロックを示しており、図示されている各部は、独立したハードウェアを示すものではなく、前記制御プログラムで実行される機能を示す。

【0004】

昇圧制御部 400 は、目標昇圧電圧設定部 410、フィードバック制御部 42

0、PWM出力部430を備える。目標昇圧電圧設定部410は、前記ROMに予め格納された目標昇圧電圧 V_{bpig*} を読み込みして、目標昇圧電圧 V_{bpig*} をフィードバック制御部420に出力する。

【0005】

フィードバック制御部420は、目標昇圧電圧 V_{bpig*} と図示しないA/D変換部を介して入力した実昇圧電圧 V_{bpig} との偏差を算出し、その偏差を縮小すべく、すなわち、フィードバック制御を行うために、比例(P)・積分(I)・微分(D)処理を施して、トランジスタQ1の制御量を演算する。さらに、フィードバック制御部420は、演算した制御量に対応するデューティ比(オンデューティ) α を演算して、PWM出力部430に出力する。

【0006】

PWM出力部430では、前記デューティ比(オンデューティ) α に基づいてデューティ比駆動信号(PWM駆動信号)に変換し、該変換したデューティ比駆動信号を昇圧回路300のトランジスタQ1に印加する。このデューティ比駆動信号により、トランジスタQ1は、デューティ制御される。

【0007】

すなわち、このデューティ制御により、トランジスタQ1が図6に示すようにスイッチング動作を行ない、この結果、コイルLでエネルギーの蓄積と放出とが繰り返され、ダイオードDのカソード側に放出の際の高電圧が現れる。なお、図6に示すように本明細書中、 T_{α} はオン時間、Tはパルス周期、 α はデューティ比(オンデューティ)を示している。

【0008】

トランジスタQ1がオンとなるとコイルLに電流が流れ、トランジスタQ1がオフとなるとコイルLに流れる電流が遮断される。コイルLに流れる電流が遮断されると、この電流の遮断による磁束の変化を妨げるように、ダイオードDのカソード側に高電圧が発生する。この繰り返しによって、ダイオードDのカソード側に高電圧が繰り返し発生し、コンデンサCで平滑(充電)され、昇圧されたコンデンサ電圧(以下、実昇圧電圧 V_{bpig} という)が得られる。

【0009】

このとき、昇圧回路 300 により、昇圧する電圧は昇圧制御部 400 から出力されるデューティ比駆動信号のデューティ比と関連する。デューティ比が大きければ実昇圧電圧 V_{bpig} は高くなり、デューティ比が小さければ実昇圧電圧 V_{bpig} は低くなる。

【0010】

又、本出願人は、前記ダイオード D の代わりに、ソースがコイル L に接続され、ドレインが電気負荷 F に接続したトランジスタ (MOS-FET) を備えた昇圧回路を提案している (特許文献 2)。この構成においては、両トランジスタを交互にオンオフする、同期整流方式にて制御しているが、フィードバック制御においては、図 5 の従来例と同様に制御するようにしている。

【0011】

【特許文献 1】

特開平 6-311733 号公報

【特許文献 2】

特開 2003-89360 号公報

【0012】

【発明が解決しようとする課題】

ところで、従来のフィードバック制御では、電源電圧 (入力電圧) V_{pig} が安定していれば、なんら問題はない。しかし、電源電圧 V_{pig} が変動した場合、フィードバックされていない変動当初は、デューティ比 (オンデューティ) α が変わらないため、電源電圧 V_{pig} が上昇 (増加) すると実昇圧電圧 V_{bpig} も上昇 (減少) し、反対に電源電圧 V_{pig} が下降すると実昇圧電圧 V_{bpig} も下降する。そして、フィードバック制御によって、目標昇圧電圧 V_{bpig*} と変動した実昇圧電圧 V_{bpig} との偏差も変動し、同偏差の解消のために算出されるデューティ比 (オンデューティ) α も変化することにより、目標昇圧電圧に収束する。

【0013】

しかし、フィードバック制御では、応答性に限界があるため、電源電圧 V_{pig} の急峻な変動に対しては追従できず、実昇圧電圧 V_{bpig} が安定しない問題がある。

【0014】

本発明の目的は、上記問題点を解消して、電源電圧（入力電圧）の急峻な変動に対する実昇圧電圧の変動を抑制することができる昇圧回路及び昇圧回路の制御方法を提供することにある。

【0015】

【課題を解決するための手段】

上記問題点を解決するために、請求項1に記載の発明は、スイッチング素子がオンのときにコイルにエネルギーを蓄え、オフのときにこのエネルギーを入力電圧に重畳して出力側に設けられたコンデンサを充電する昇圧回路において、前記入力電圧と、前記コンデンサ側の実昇圧電圧を検出する検出手段と、目標昇圧電圧を設定する目標昇圧電圧設定手段と、前記目標昇圧電圧と、前記実昇圧電圧の偏差を解消するようにデューティ比を設定するデューティ比設定手段と、前記入力電圧に基づいて得られる入力電圧変動量に応じた補正量を算出し、前記デューティ比を同補正量にて補正して、新たなデューティ比に基づき、前記スイッチング素子をオンオフ作動してフィードバック制御を行う制御手段を備えたことを特徴とする昇圧回路を要旨とするものである。

【0016】

請求項2の発明は、請求項1において、前記補正量は、前記入力電圧に基づき算出した入力電圧変動量と前記目標昇圧電圧との比であることを特徴とする。

請求項3の発明は、請求項1において、前記補正量は、前記入力電圧に基づき算出した入力電圧変動量と前記実昇圧電圧との比であることを特徴とする。

【0017】

請求項4の発明は、スイッチング素子がオンのときにコイルにエネルギーを蓄え、オフのときにこのエネルギーを入力電圧に重畳して出力側に設けられたコンデンサを充電する昇圧回路の制御方法において、前記入力電圧と、前記コンデンサ側の実昇圧電圧を検出し、目標昇圧電圧と、前記実昇圧電圧の偏差を解消するようにデューティ比を設定し、前記入力電圧に基づいて得られる入力電圧変動量に応じた補正量を算出し、前記デューティ比を同補正量にて補正した新たなデューティ比に基づいて、前記スイッチング素子をオンオフ作動してフィードバック

制御を行うことを特徴とする昇圧回路の制御方法を要旨とするものである。

【0018】

請求項5の発明は、請求項4において、前記補正量は、前記入力電圧に基づき算出した入力電圧変動量と前記目標昇圧電圧との比であることを特徴とする。

請求項6の発明は、請求項4において、前記補正量は、前記入力電圧に基づき算出した入力電圧変動量と前記実昇圧電圧との比であることを特徴とする。

【0019】

【発明の実施の形態】

以下、本発明を具体化した昇圧回路の実施形態を図1～図3を参照して説明する。図1は、昇圧回路100の電気回路図、図2は制御プログラムのフローチャート、図3は、デューティ比駆動信号の波形図である。

【0020】

本実施形態は、バッテリー電圧である電源電圧（入力電圧）を昇圧する昇圧回路100である。なお、前記従来例と同一構成については、同一符号を付して、その詳細な説明を省略する。

【0021】

本実施形態は、前記従来例の構成中、ダイオードDの代わりに、トランジスタQ2が設けられている。トランジスタQ2は、ソースがコイルLの出力端子に接続され、ドレインが電気負荷Fに接続されている。又、トランジスタQ2のゲートは昇圧制御部200に接続されている。前記コンデンサCはトランジスタQ2の出力端子となるドレインに接続されている。なお、トランジスタQ1は、ドレインがコイルLの出力端子とトランジスタQ2の接続点に接続され、ソースが接地されている。又、トランジスタQ1のゲートは昇圧制御部200に接続されている。

【0022】

バッテリーBとコイルLの接続点である電圧印加点P1の電圧検出のために、電圧印加点P1はA/D変換部（図示しない）及び昇圧制御部200のCPUの電圧入力ポート（共に図示しない）に接続され、電源電圧（入力電圧）V_{pig}を実測値として検出可能にされている。又、コンデンサCと電気負荷Fの接続点であ

る電圧印加点 P 2 の電圧検出のために、電圧印加点 P 2 は A/D 変換部（図示しない）及び昇圧制御部 200 の CPU の電圧入力ポート（共に図示しない）に接続され、実昇圧電圧 V_{bpig} を実測値として検出可能にされている。

【0023】

なお、前記トランジスタ Q 1 及びトランジスタ Q 2 は n チャンネル形の MOS FET からなる。トランジスタ Q 1 は本発明のスイッチング素子に相当する。なお、トランジスタ Q 1 を第 2 スwitchング素子としたとき、トランジスタ Q 2 は第 2 スwitchング素子に相当する。

【0024】

次に、前記両トランジスタを制御する昇圧制御部 200 について説明する。

昇圧制御部 200 は、図示しない ROM, RAM, CPU（中央演算処理装置）等を備えた ECU（電子制御装置）から構成されている。なお、図 1 において、昇圧制御部 200 内のブロックは、前記 ROM 内に格納された昇圧制御プログラムにより、前記 CPU が実行する機能を示す制御ブロックを示しており、図示されている各部は、独立したハードウェアを示すものではなく、前記制御プログラムで実行される機能を示す。

【0025】

昇圧制御部 200 は、目標昇圧電圧設定部 210、フィードバック制御部 220、PWM 出力部 230、微分器 240、補正量演算部 250、及び加算器 260 を備える。目標昇圧電圧設定部 210 は、前記 ROM に予め格納された目標昇圧電圧 V_{bpig*} を読み込みして、目標昇圧電圧 V_{bpig*} をフィードバック制御部 220 に出力する。

【0026】

フィードバック制御部 220 は、目標昇圧電圧 V_{bpig*} と、図示しない A/D 変換部、及び電圧入力ポートを介して入力した実昇圧電圧 V_{bpig} との偏差を算出する。そして、フィードバック制御部 220 はその偏差を縮小すべく、すなわち、フィードバック制御を行うために、比例（P）・積分（I）・微分（D）処理を施して、トランジスタ Q 1 の制御量を演算する。さらに、フィードバック制御部 220 は、演算した制御量に対応するデューティ比（オンデューティ） α を演

算して、加算器 260 に出力する。

【0027】

一方、微分器 240 は図示しない A/D 変換部、及び電圧入力ポートを介して入力した電圧印加点 P1 の電源電圧（入力電圧） V_{pig} を時間微分し、入力電圧変動量 ΔV_{pig} を算出する。補正量演算部 250 は、入力電圧変動量 ΔV_{pig} に応じた補正量（補正值）を算出する。本実施形態では、補正量 β として入力電圧変動量 ΔV_{pig} と目標昇圧電圧 V_{bpig*} との比（ $\beta = \Delta V_{pig} / V_{bpig*}$ ）を演算する。なお、時間微分されて得られた入力電圧変動量 ΔV_{pig} は、電源電圧が上昇（増加）した場合には、 $\Delta V_{pig} > 0$ であり、電源電圧 V_{pig} が下降（減少）した場合には、 $\Delta V_{pig} < 0$ となる。従って、補正量 β も、電源電圧 V_{pig} の上昇下降に応じて同様に正負の値を取る。

【0028】

加算器 260 は、デューティ比（オンデューティ） α から、入力電圧変動量 ΔV_{pig} と目標昇圧電圧 V_{bpig*} との比（ $\beta = \Delta V_{pig} / V_{bpig*}$ ）を減算した値を新たなデューティ比 α として、PWM 出力部 230 に入力する。

【0029】

PWM 出力部 230 では、前記新たなデューティ比（オンデューティ） α に基づいてトランジスタ Q1 用のデューティ比駆動信号（PWM 駆動信号）に変換し、該変換したデューティ比駆動信号を昇圧回路 100 のトランジスタ Q1 に印加する。このデューティ比駆動信号により、トランジスタ Q1 は、デューティ制御される。

【0030】

又、PWM 出力部 230 では、前記新たなデューティ比（オンデューティ） α に基づいてトランジスタ Q2 用のデューティ比（ $1 - |\alpha|$ ）が求められ、このデューティ比をデューティ比駆動信号（PWM 駆動信号）に変換する。該変換したデューティ比駆動信号を昇圧回路 100 のトランジスタ Q2 に印加する。このデューティ比駆動信号により、トランジスタ Q2 は、デューティ制御される。このようにして、トランジスタ Q1 とトランジスタ Q2 に対して印加して交互にオンオフ制御する同期整流方式（図 3 参照）にて両トランジスタは制御される。

【0031】

図3は両トランジスタQ1, Q2に印加するパルス信号（デューティ比駆動信号）を示しており、 T_{α} はオン時間、 T はパルス周期、 α はトランジスタQ1に係るデューティ比（オンデューティ）である。又、トランジスタQ2に対しては、トランジスタQ1がオンのときは、オフとし、トランジスタQ1がオフのときには、オンするパルス信号（デューティ比駆動信号）が印加される。

【0032】

このデューティ制御により、トランジスタQ1がオンとなるとコイルLに電流が流れ、トランジスタQ1がオフとなるとコイルLに流れる電流が遮断される。コイルLに流れる電流が遮断されると、この電流の遮断による磁束の変化を妨げるように、トランジスタQ1のドレイン側に高電圧が発生する。この繰り返しによって、トランジスタQ1のドレイン側に高電圧が繰り返し発生し、コンデンサCで平滑（充電）され、昇圧された実昇圧電圧 V_{bpig} が得られる。

【0033】

このとき、昇圧回路100により、昇圧する電圧は昇圧制御部200から出力されるデューティ比駆動信号のデューティ比と関連する。デューティ比が大きければ実昇圧電圧 V_{bpig} は高くなり、デューティ比が小さければ実昇圧電圧 V_{bpig} は低くなる。

【0034】

そして、電源電圧 V_{pig} に変動があった場合、入力電圧変動量 ΔV_{pig} と目標昇圧電圧 V_{bpig*} との比（ $\beta = \Delta V_{pig} / V_{bpig*}$ ）にて、フィードバック制御部220にて得られたトランジスタQ1のデューティ比 α が補正されて、新たなデューティ比 α が求められる。すなわち、フィードフォワード制御が行われる。

【0035】

例えば、電源電圧 V_{pig} が上昇した場合、フィードバック制御部220にて得られたトランジスタQ1のデューティ比（オンデューティ） α から、補正量 β （ >0 ）が減算され、新たなトランジスタQ1のデューティ比 α は、電源電圧 V_{pig} の上昇によるオンデューティの上昇が抑えられたものとなる。

【0036】

又、電源電圧 V_{pig} が下降した場合、フィードバック制御部 220 にて得られたトランジスタ Q1 のデューティ比（オンデューティ） α から、補正量 β (< 0) が減算（正確には、補正量はこの場合、負となるため加算である）される。新たなトランジスタ Q1 のデューティ比 α は、電源電圧 V_{pig} の下降によるオンデューティの下降が抑えられたものとなる。

【0037】

この結果、電源電圧（入力電圧） V_{pig} の変動に応じてデューティ比（オンデューティ） α がフィードフォワード制御されることにより、電源電圧（入力電圧） V_{pig} の変動に応じた実昇圧電圧 V_{bpig} の変動が抑制される。特に、電源電圧（入力電圧） V_{pig} の急峻な変動に対して、実昇圧電圧 V_{bpig} の変動が抑制できることになる。

【0038】

昇圧制御部 200 は検出手段、目標電圧設定手段、デューティ比設定手段、制御手段を構成する。

（第1実施形態の作用）

さて、図2は、昇圧制御部 200 の CPU が実行する昇圧制御プログラムのフローチャートであり、所定の制御周期で実行される。

【0039】

S10では、目標昇圧電圧 V_{bpig*} 、実昇圧電圧 V_{bpig} 、電源電圧（入力電圧） V_{pig} 等の各種データを読み込む。S20では、目標昇圧電圧 V_{bpig*} と、実昇圧電圧 V_{bpig} との偏差を算出する。S30では、前記偏差に対して、比例（P）・積分（I）・微分（D）処理を施してトランジスタ Q1 の制御量を演算する。S40では、S30で演算した制御量に対応するデューティ比（オンデューティ） α を演算する。S20～S40は、フィードバック制御部 220 に相当する。又、S40はデューティ比設定手段に相当する。

【0040】

S50では、電源電圧（入力電圧） V_{pig} を時間微分し、入力電圧変動量 ΔV_{pig} を算出する。S50は、微分器 240 に相当する。S60では、入力電圧変動量 ΔV_{pig} に応じた補正量（補正值）を算出する。すなわち、補正量 β として入

力電圧変動量 ΔV_{pig} と目標昇圧電圧 V_{bpig*} との比 ($\beta = \Delta V_{pig} / V_{bpig*}$) を演算する。S70では、S30で得られたデューティ比 (オンデューティ) α から、入力電圧変動量 ΔV_{pig} と目標昇圧電圧 V_{bpig*} との比 ($\beta = \Delta V_{pig} / V_{bpig*}$) を減算して補正し、その値を新たなデューティ比 α とする。S70は前記加算器260に相当する。そして、S80では、前記新たなデューティ比 (オンデューティ) α に基づいてトランジスタQ1用のデューティ比駆動信号 (PWM駆動信号) に変換し、該変換したデューティ比駆動信号を昇圧回路100のトランジスタQ1に印加する。又、S80では、新たなデューティ比 (オンデューティ) α に基づいてトランジスタQ2用のデューティ比 ($1 - |\alpha|$) を求め、このデューティ比をデューティ比駆動信号 (PWM駆動信号) に変換して、該変換したデューティ比駆動信号を昇圧回路100のトランジスタQ2に印加する。S80は前記PWM出力部230に相当する。

【0041】

第1実施形態によれば、以下のような特徴がある。

(1) 本実施形態の制御方法は、電源電圧 (入力電圧) V_{pig} と、実昇圧電圧 V_{bpig} を検出し、目標昇圧電圧 V_{bpig*} と実昇圧電圧 V_{bpig} の偏差を解消するようにデューティ比 α を設定し、電源電圧 V_{pig} に基づいて得られる入力電圧変動量 ΔV_{pig} に応じた補正量 β を算出した。具体的には、補正量 β として、入力電圧変動量 ΔV_{pig} と目標昇圧電圧 V_{bpig*} との比 ($\beta = \Delta V_{pig} / V_{bpig*}$) を演算した。そして、前記デューティ比 α を同補正量 β にて減算して補正した値を新たなデューティ比 α とし、補正した新たなデューティ比に基づいて、トランジスタQ1 (スイッチング素子) をオンオフ作動してフィードバック制御を行うようにした。

【0042】

又、第1実施形態の昇圧回路100は、電源電圧 (入力電圧) V_{pig} と、実昇圧電圧 V_{bpig} を検出する昇圧制御部200 (検出手段) を備え、同昇圧制御部200は、目標昇圧電圧設定手段として目標昇圧電圧 V_{bpig*} を設定するようにした。そして、昇圧制御部200 (デューティ比設定手段) は、目標昇圧電圧 V_{bpig*} と、実昇圧電圧 V_{bpig} の偏差を解消するようにデューティ比 α を設定した。

そして、昇圧制御部 200（制御手段）は、電源電圧（入力電圧） V_{pig} に基づいて得られる入力電圧変動量 ΔV_{pig} に応じた補正量 β を算出した。具体的には、昇圧制御部 200 は、補正量 β として、入力電圧変動量 ΔV_{pig} と目標昇圧電圧 V_{bpig*} との比（ $\beta = \Delta V_{pig} / V_{bpig*}$ ）を演算するようした。そして、昇圧制御部 200（制御手段）は前記デューティ比（オンデューティ） α を同補正量 β にて補正して、補正後のデューティ比（オンデューティ） α に基づき、トランジスタ Q1 をオンオフ作動してフィードバック制御を行うようにした。

【0043】

この結果、電源電圧（入力電圧） V_{pig} の変動に応じてデューティ比（オンデューティ） α がフィードフォワード制御されることにより、電源電圧 V_{pig} の変動に応じた実昇圧電圧 V_{bpig} の変動が抑制され、電源電圧 V_{pig} の急峻な変動に対して、実昇圧電圧 V_{bpig} の変動が抑制できる。この結果、電源電圧（入力電圧）変動に対するフィードバック制御の応答性が向上できる。

【0044】

（第2実施形態）

次に、第2実施形態を図4を参照して説明する。なお、第1実施形態と同一構成については、同一符号を付し、異なるところを中心に説明する。

【0045】

第2実施形態では、補正量 β の算出の仕方が第1実施形態と異なっている。具体的には、昇圧回路 100 の構成では、図4において、補正量演算部 250 の代わりに、補正量演算部 250A が設けられており、他の構成は第1実施形態と同一である。補正量演算部 250A では、補正量 β として、入力電圧変動量 ΔV_{pig} と実昇圧電圧 V_{bpig} との比（ $\beta = \Delta V_{pig} / V_{bpig}$ ）を演算する。

【0046】

又、第2実施形態も、第1実施形態とはほぼ同様に図2のフローチャートで示す制御プログラムを昇圧制御部 200（図示しないCPU）が実行するが、S60では、補正量 β として、入力電圧変動量 ΔV_{pig} と実昇圧電圧 V_{bpig} との比（ $\beta = \Delta V_{pig} / V_{bpig}$ ）を演算するところが異なる。なお、他のステップは第1実施形態と同じである。

【0047】

なお、第2実施形態においても、時間微分されて得られた入力電圧変動量 ΔV_{pig} は、電源電圧が上昇（増加）した場合には、 $\Delta V_{pig} > 0$ であり、電源電圧 V_{pig} が下降（減少）した場合には、 $\Delta V_{pig} < 0$ となる。従って、補正量 β も、電源電圧 V_{pig} の上昇下降に応じて同様に正負の値を取る。

【0048】

第2実施形態によれば、以下のような特徴がある。

(1) 第2実施形態の制御方法では、電源電圧（入力電圧） V_{pig} と、実昇圧電圧 V_{bpig} を検出し、目標昇圧電圧 V_{bpig}^* と、実昇圧電圧 V_{bpig} の偏差を解消するようにデューティ比 α を設定し、電源電圧 V_{pig} に基づいて得られる入力電圧変動量 ΔV_{pig} に応じた補正量 β を算出した。具体的には、補正量 β として、入力電圧変動量 ΔV_{pig} と実昇圧電圧 V_{bpig} との比（ $\beta = \Delta V_{pig} / V_{bpig}$ ）を演算した。そして、前記デューティ比 α を同補正量 β にて減算して補正した値を新たなデューティ比 α とし、補正した新たなデューティ比に基づいて、トランジスタQ1（スイッチング素子）をオンオフ作動してフィードバック制御を行うようにした。

【0049】

又、第2実施形態の昇圧回路100は、電源電圧（入力電圧） V_{pig} と、実昇圧電圧 V_{bpig} を検出する昇圧制御部200（検出手段）を備え、同昇圧制御部200は、目標昇圧電圧設定手段として目標昇圧電圧 V_{bpig}^* を設定するようにした。そして、昇圧制御部200（デューティ比設定手段）は目標昇圧電圧 V_{bpig}^* と、実昇圧電圧 V_{bpig} の偏差を解消するようにデューティ比 α を設定した。

【0050】

そして、昇圧制御部200（制御手段）は、電源電圧（入力電圧） V_{pig} に基づいて得られる入力電圧変動量 ΔV_{pig} に応じた補正量 β を算出した。具体的には、昇圧制御部200は、補正量 β として、入力電圧変動量 ΔV_{pig} と実昇圧電圧 V_{bpig} との比（ $\beta = \Delta V_{pig} / V_{bpig}$ ）を演算するようした。そして、昇圧制御部200（制御手段）は前記デューティ比 α を同補正量 β にて補正して、補正後のデューティ比 α に基づき、トランジスタQ1をオンオフ作動してフィードバ

ック制御を行うようにした。

【0051】

この結果、第1実施形態と同様に、電源電圧（入力電圧）変動に対するフィードバック制御の応答性が向上できる。

なお、本発明の実施形態は以下のように変更してもよい。

【0052】

(1) 前記第1実施形態では、補正量 β として、入力電圧変動量と前記目標昇圧電圧との比や、入力電圧変動量と前記実昇圧電圧との比としたが、これに限定するものではなく、補正量として入力電圧変動量 ΔV_{pig} に定数を乗算したものでもよい。

【0053】

(2) 前記各実施形態では、トランジスタQ2を備えた昇圧回路100に具体化した但、トランジスタQ2に代えて、従来例と同様に接続したダイオードや、ツェナーダイオードに変更した昇圧回路に具体化してもよい。

【0054】

(3) 前記各実施形態では、昇圧制御部200のブロックで示した、210～260の各部の機能を1つのCPUで行うようにしているが、各部の機能を複数のCPUで分担してもよい。

【0055】

(4) 前記各実施形態では、S50、S60の処理をS20～S40の処理の後に行ったが、S50、S60の処理をS20～S40の処理の前に行ってもよい。

【0056】

前記各実施形態によって把握される技術的思想を以下に挙げる。

(1) 前記制御手段は、前記入力電圧に基づいて得られる入力電圧変動量に応じた補正量を算出する補正手段を含むことを特徴とする請求項1乃至請求項3のいずれか1項に記載の昇圧回路。前記各実施形態において、昇圧制御部200は補正手段に相当する。

【0057】

(2) 前記補正手段は、前記補正量として、前記入力電圧に基づき算出した入力電圧変動量と前記目標昇圧電圧との比を算出するものである上記(1)の昇圧回路。

【0058】

(3) 前記補正手段は、前記補正量として、前記入力電圧に基づき算出した入力電圧変動量と前記実昇圧電圧との比を算出するものである上記(1)の昇圧回路。

【0059】

【発明の効果】

以上詳述したように、請求項1乃至請求項6の発明によれば、電源電圧（入力電圧）の急峻な変動に対する実昇圧電圧の変動を抑制することができる効果を奏する。

【図面の簡単な説明】

【図1】 本発明の第1実施形態に具体化した昇圧回路の電気回路図。

【図2】 昇圧制御プログラムのフローチャート。

【図3】 デューティ比駆動信号の波形図。

【図4】 第2実施形態家の昇圧回路の電気回路図。

【図5】 従来の昇圧回路の電気回路図。

【図6】 トランジスタのPWM駆動信号の波形図。

【符号の説明】

100…昇圧回路

200…昇圧制御部（検出手段、目標電圧設定手段、デューティ比設定手段、制御手段）

V_{pig} …電源電圧（入力電圧）

ΔV_{pig} …入力電圧変動量

V_{bpig} …実昇圧電圧

V_{bpig*} …目標昇圧電圧

α …デューティ比（オンデューティ）

β …補正量

B…バッテリー

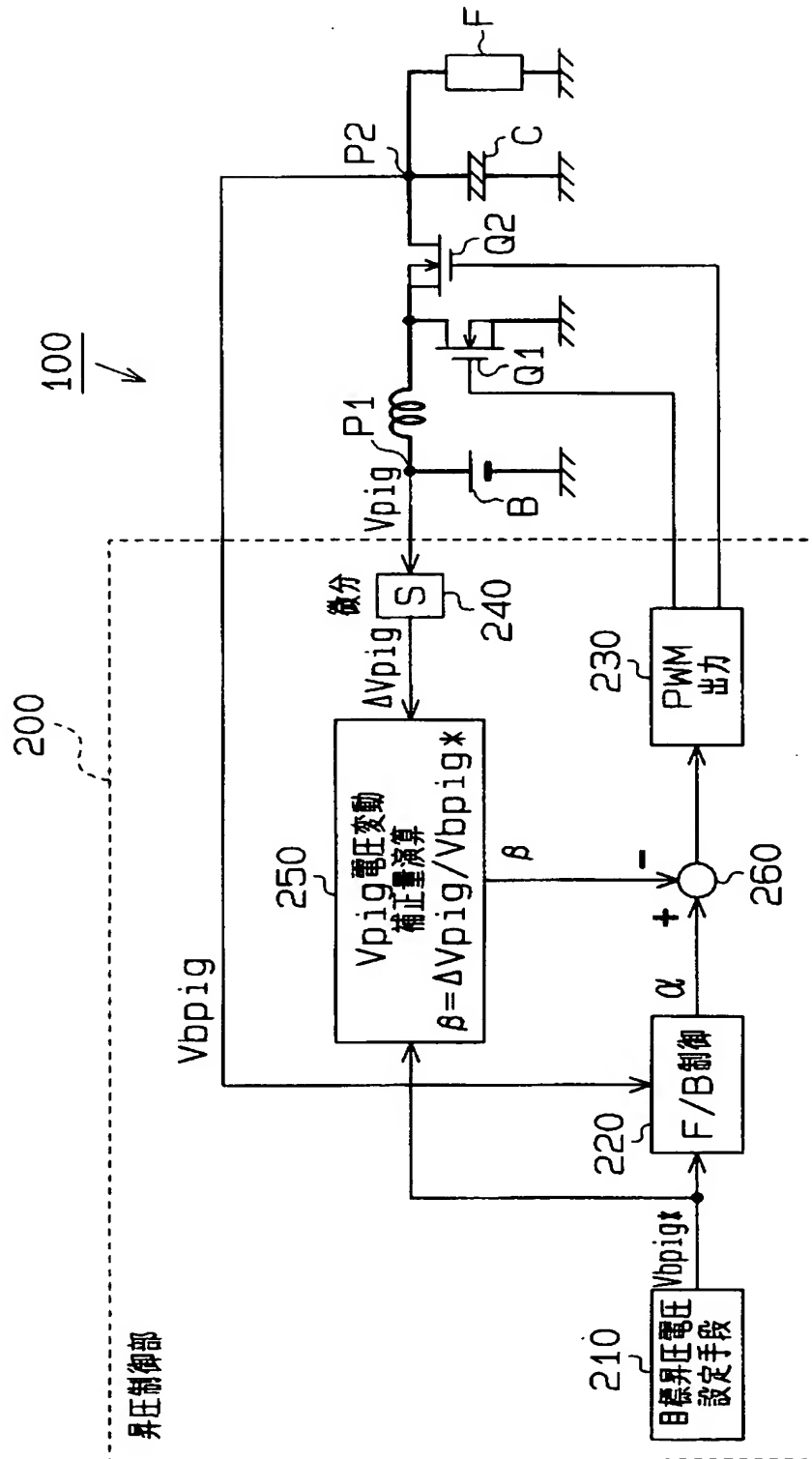
L…コイル

C…コンデンサ

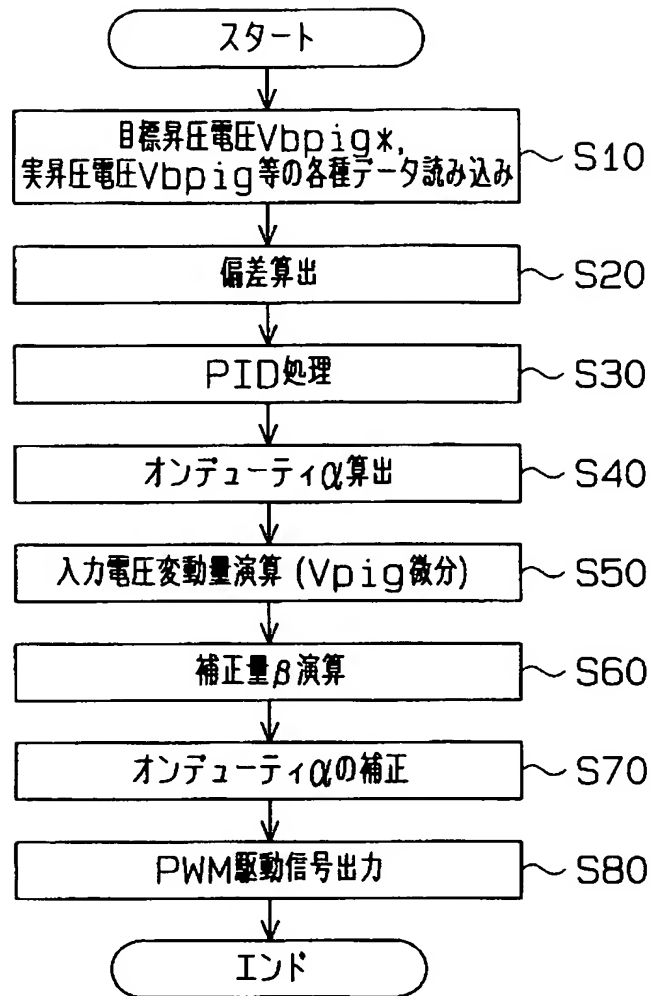
Q1…トランジスタ (スイッチング素子)

【書類名】 図面

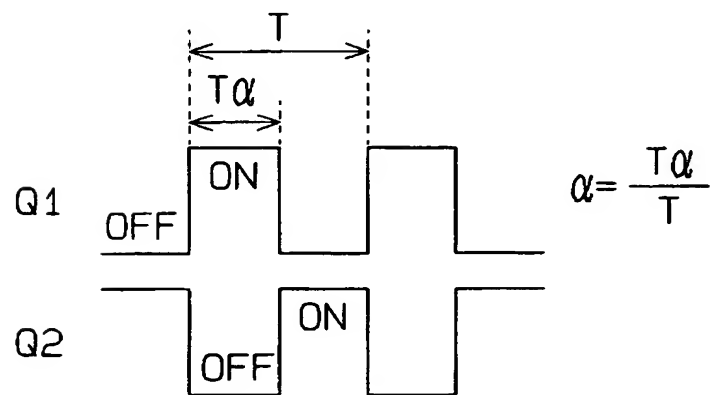
【図 1】



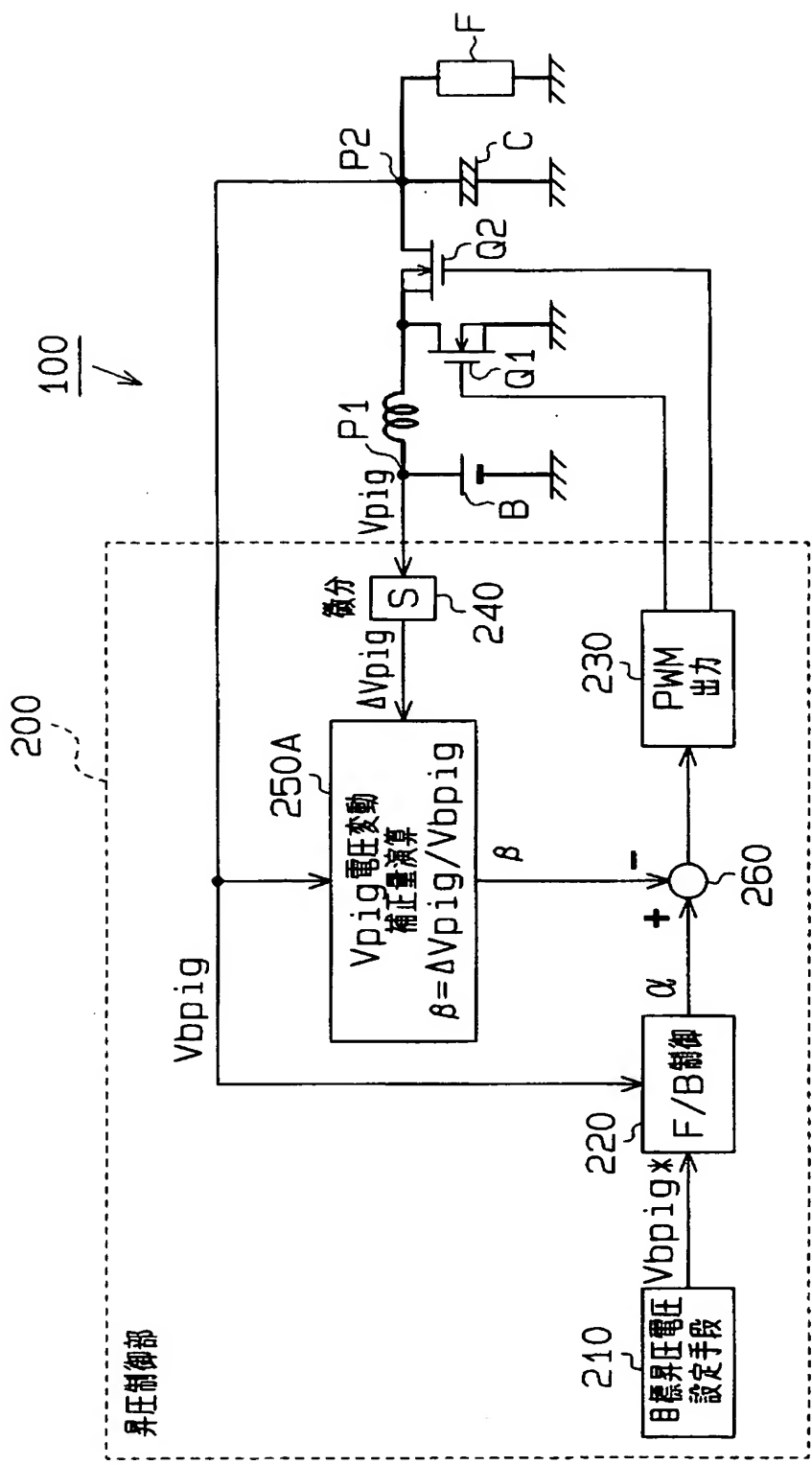
【図 2】



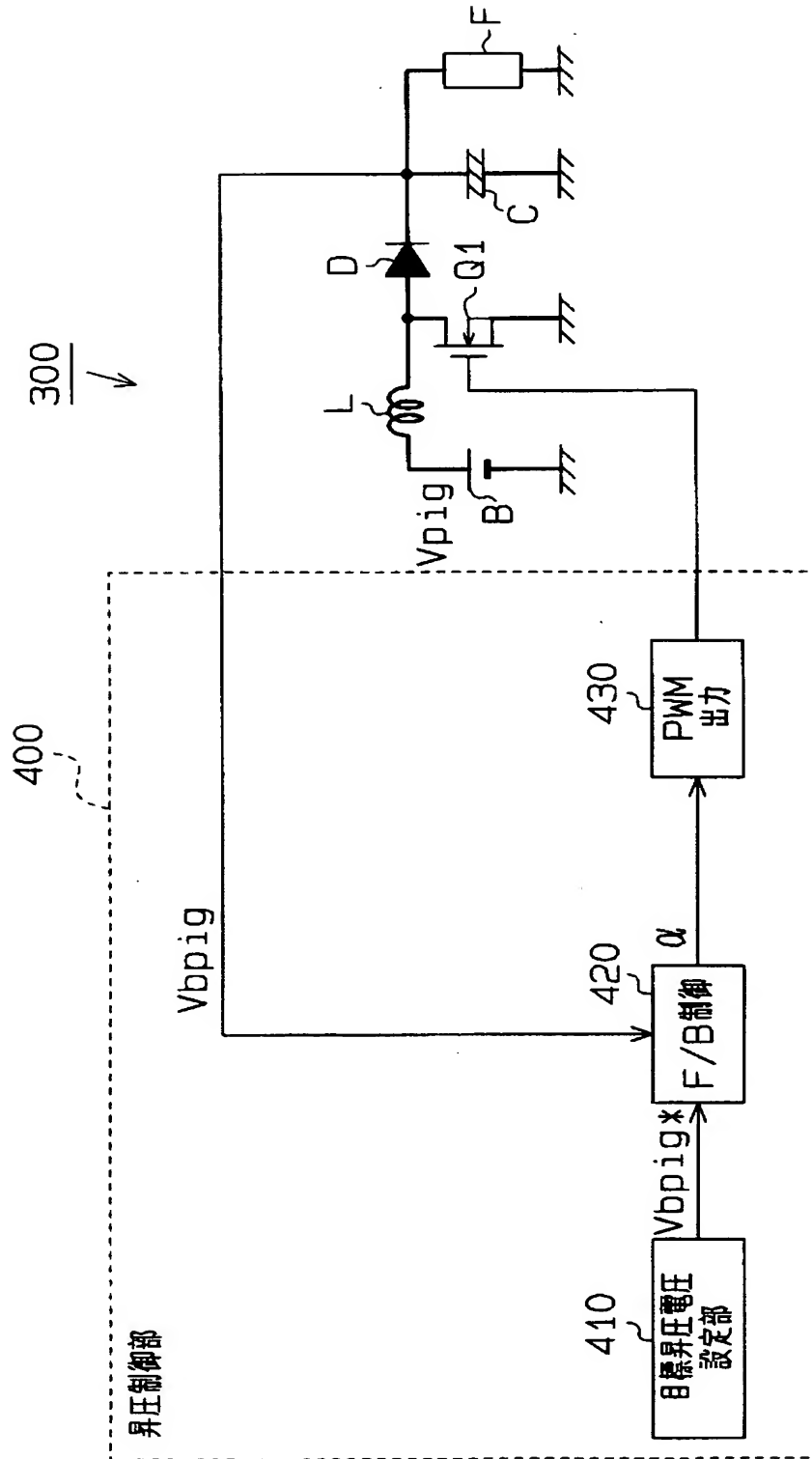
【図 3】



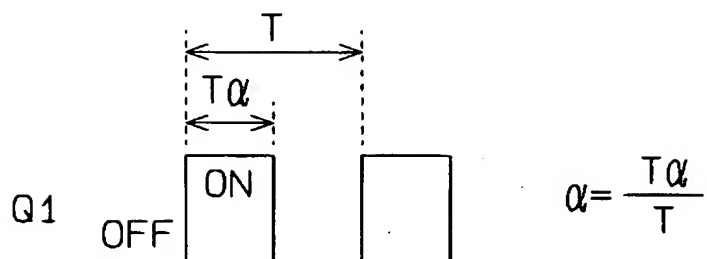
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 電源電圧（入力電圧）の変動に対する実昇圧電圧の急峻な変動を抑制することができる昇圧回路及び昇圧回路の制御方法を提供する。

【解決手段】 昇圧回路 100 は電源電圧 V_{pig} と、実昇圧電圧 V_{bpig} を検出する昇圧制御部 200 を備え、同昇圧制御部 200 は、目標昇圧電圧 V_{bpig*} を設定する。昇圧制御部 200 は目標昇圧電圧 V_{bpig*} と、実昇圧電圧 V_{bpig} の偏差を解消するようにデューティ比を設定する。昇圧制御部 200 は電源電圧 V_{pig} に基づいて得られる入力電圧変動量 ΔV_{pig} に応じた補正量 β ($= \Delta V_{pig} / V_{bpig*}$) を演算する。昇圧制御部 200 は前記デューティ比 α を同補正量 β にて補正して、補正後のデューティ比 α に基づき、トランジスタ Q1 をオンオフ作動してフィードバック制御を行う。

【選択図】 図 1

特願 2 0 0 3 - 1 1 2 9 8 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 4 7 0]

1. 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

愛知県刈谷市朝日町 1 丁目 1 番地

氏 名

豊田工機株式会社